

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

02-107036

(43)Date of publication of application : 19.04.1990

(51)Int.CI.

H04L 7/02

H03K 5/00

(21)Application number : 63-261827

(71)Applicant : NEC CORP

(22)Date of filing : 17.10.1988

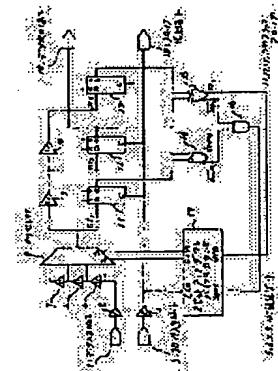
(72)Inventor : KOIZUMI YOSHIAKI

(54) BIT PHASE SYNCHRONIZING CIRCUIT

(57)Abstract:

PURPOSE: To obtain bit phase synchronization with use of a clock at the same frequency as that of the device clock by making digital data three-phased, sampling them by means of the single-phased clock, and controlling them so that three outputs may be synchronized.

CONSTITUTION: The data inputted from a terminal 1 are waveform-shaped by a schmidt trigger gate 2, made into four-phased by serially connected delay gates 5 to 7, pass through one of the channels of a 4-1 selector 8, and they are made into three-phased by serially connected delay gates 9 and 10. The three-phased data are sampled by the single-phased clock respectively by means of D-type flip flops 11 to 13, and the outputs are inputted through exclusive circuits 14 and 15 and an AND circuit 16 to two-bit up/down binary counter 17, the 4-1 selector 8 is controlled, and the feedback is executed until the synchronization is obtained. Thus, the bit phase synchronization can be obtained by using the clock at the same frequencies as those of a data bit rate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration].

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平2-107036

⑬ Int. Cl. 5 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月19日
H 04 L 7/02 K 7631-5J
H 03 K 5/00 6914-5K H 04 L 7/02 Z
審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 ピット位相同期回路

⑯ 特願 昭63-261827
⑰ 出願 昭63(1988)10月17日

⑱ 発明者 小泉 嘉章 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

ピット位相同期回路

2. 特許請求の範囲

同一の基準タイミング信号によりディジタル信号処理を行なう複数のディジタル装置間における入力ディジタル信号の授受に際してピット位相同期をとるピット位相同期回路において、データ入力端子に直列に接続されそれぞれ第1の遅延時間と有する 2^n-1 段の遅延ゲートと、この 2^n-1 段の遅延ゲートの各段からのデータの1つをデータの遅延順と制御入力であるロビットバイナリの値の降順とを対応して選択する 2^n-1 セレクタと、この 2^n-1 セレクタの出力に直列に接続されそれぞれ第2の遅延時間と有する2段の遅延ゲートと、この2段の遅延ゲートの第1段目の遅延ゲートへの入力データ、第2段目の遅延ゲートへの入力データおよび第2段目の遅延ゲートの出力データの

それをサンプリングする第1、第2および第3のD形フリップフロップと、カウント出力により前記 2^n-1 セレクタに制御入力を与えるロビットアップダウンバイナリカウンタと、クロック出力端子と前記第1、第2および第3のD形フリップフロップとロビットアップダウンバイナリカウンタとに共通のクロックを与えるクロック出力回路と、前記第1および第2のD形フリップフロップのそれぞれの出力の論理値が異なっているときは前記ロビットアップダウンバイナリカウンタをダウンモードにし、前記第2および第3のD形フリップフロップのそれぞれの出力の論理値が異なっているときは前記ロビットアップダウンバイナリカウンタをアップモードにし、前記第1、第2および第3のD形フリップフロップのそれぞれの出力の論理値が共に同じであるときは前記ロビットアップダウンバイナリカウンタを同期モードとしてカウント動作を停止させる論理回路とを有することを特徴とするピット位相同期回路。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明はビット位相同期回路、特に装置のクロックと周波数が一致していて、ビット位相が任意な入力データを扱うデジタル伝送装置およびデジタル処理装置のために、入力データを装置のクロックの位相に同期化して出力するビット位相同期回路に関する。

〔従来の技術〕

従来、この種のビット位相同期回路は、データビットレートよりも高い周波数のクロックを用いて、1ビット分の期間をさらに細分化し、データの変化点が細分化された期間のどの区間にあるのかを判定して、データラッチのための最適位相を決定する方式を採用している。

〔発明が解決しようとする課題〕

上述した従来のビット位相同期回路は、クロック伝送の速度が、データ伝送の速度の数倍の早さとなるため、データ伝送路に必要とする伝送帯域とクロック伝送路に必要とする伝送帯域とに大きく

プリングする第1、第2および第3のD形フリップフロップと、カウント出力により前記2ⁿ-1セレクタに制御入力を与えるnビットアップダウンバイナリカウンタと、クロック出力端子と前記第1、第2および第3のD形フリップフロップとnビットアップダウンバイナリカウンタとに共通のクロックを与えるクロック出力回路と、前記第1および第2のD形フリップフロップのそれぞれの出力の論理値が異なっているときは前記nビットアップダウンバイナリカウンタをダウンモードにし、前記第2および第3のD形フリップフロップのそれぞれの出力の論理値が異なっているときは前記nビットアップダウンバイナリカウンタをアップモードにし、前記第1、第2および第3のD形フリップフロップのそれぞれの出力の論理値が共に同じであるときは前記nビットアップダウンバイナリカウンタを同期モードとしてカウント動作を停止させる論理回路とを有することにより構成される。

〔実施例〕

を陥たりが生じ、クロック伝送路を構成するためには必要な印刷配線回路、コネクタ、同軸ケーブルには特性インピーダンスを高精度に整合させた特殊な部品が必要となる欠点がある。

〔課題を解決するための手段〕

本発明のビット位相同期回路は、同一の基準タイミング信号によりデジタル信号処理を行なう複数のデジタル装置間における入力デジタル信号の授受に際してビット位相同期をとるビット位相同期回路において、データ入力端子に直列に接続されそれぞれ第1の遅延時間を有する2ⁿ-1段の遅延ゲートと、この2ⁿ-1段の遅延ゲートの各段からのデータの1つをデータの遅延順と制御入力であるnビットバイナリの値の順序とを対応して選択する2ⁿ-1セレクタと、この2ⁿ-1セレクタの出力に直列に接続されそれぞれ第2の遅延時間を有する2段の遅延ゲートと、この2段の遅延ゲートの第1段目の遅延ゲートへの入力データ、第2段目の遅延ゲートへの入力データおよび第2段目の遅延ゲートの出力データのそれぞれをサン

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の回路図である。クロック入力端子3から入ったクロック信号は、規定された立上り、立下り時間を保証するため、シュミットトリガゲート4により波形整形され、D形フリップフロップ11, 12, 13および第1表の真理値表の動作を行なう2ビットアップダウンバイナリカウンタ17のクロック入力(CLK)に与えられ、さらにクロック出力端子18に出力される。

データ入力端子1から入ったデータは、シュミットトリガゲート2により波形整形され、波形整形されたデータはそれぞれ遅延時間t1を持ち直列に接続された遅延ゲート5, 6, 7によって、4相化されたA1, A2, A3, A4のデータとして出力される。この4相化されたデータは第2表の真理値表の動作を行なう4-1セレクタ8の何れか一つの経路を通り、遅延時間t2を持ち直列に接続された遅延ゲート9, 10によって3相化されたD1, D2, D3のデータとして出力さ

第1表

入力			動作	
sync	U/D	CLK	QA, QB	
L	H		—	カウントアップ
L	L	↑↓	—	カウントダウン
H	X		QA, QB	ホールド

第2表

入力		出力
S ₀	S ₁	X
0	0	A ₀
0	1	A ₁
1	0	A ₂
1	1	A ₃

れる。この3相化されたデータはそれぞれD形フリップフロップ11, 12, 13によって1相のクロックでサンプリングされ、D形フリップフロップ11と12との出力はイクスクルーシブ回路14で比較され、D形フリップフロップ12と13との出力はイクスクルーシブ回路15で比較され、

その出力が同じなら、sync入力には論理Lレベルが入力され、U/D入力に論理Lレベルが入力されてデータを進ませるように4-1セレクタ8を制御する。そして同期がとれるまで、このファードバックが行なわれる。また、3つのD形フリップフロップ11, 12, 13の比較結果は1クロックサイクルで比較されるので、きわめて速い動作が可能である。

第2図は第1図の主要点における波形図で、D形フリップフロップ11, 12, 13のデータ入力端子Dの入力データDI₁, DI₂, DI₃、シミュレットトリガゲート4の出力クロックCLKおよびデータ出力端子19の出力の位相関係を示している。

遅延時間t₁, t₂の目安は、クロックのサイクルタイムをT₁、ライズタイムの最大値をt_{rmmax}、フリップフロップのセットアップタイムをt₁、ホールドタイムをt₂とすると、

$$T/2 < 3t_1 \quad (\text{全可変遅延時間}) < T - t_{rmmax}$$

$$(t_1 \text{または} t_2 \text{の大きい方}) < t_2 < T/2 - t_{rmmax}$$

それらの比較ノア出力の論理積がアンド回路16でとられる。このアンド回路16の出力は2ビットアップダウンバイナリカウンタ17のsync入力に与えられ、イクスクルーシブ回路15のオブ出力が2ビットアップダウンバイナリカウンタ17のU/Dに与えられている。

以上の構成により、同期がとれている場合はsync入力に論理Hレベルが入力されて、2ビットアップダウンバイナリカウンタ17をホールドし、4-1セレクタ8のセレクト信号を固定して、ビット位同期化された信号がデータ出力端子19から出力される。

同期がとれていない場合はsync入力に論理Lレベルが入力され、D形フリップフロップ12と13との出力が違っていれば、U/D入力に論理Hレベルが入力されて、2ビットアップダウンバイナリカウンタ17はカウントアップして、データを進らせるよう4-1セレクタ8が制御される。またD形フリップフロップ11と12との出力が違っていて、D形フリップフロップ12と13

であるが、相乗平均をとり標準値T_{1typ}, T_{2typ}を求める。

$$t_{1typ} = \sqrt{T/18 \cdot (T - t_{rmmax})}$$

$$t_{2typ} = \sqrt{(t_1 \text{または} t_2 \text{の大きい方}) \cdot (T/2 - t_{rmmax})}$$

ここで、T = 6.4 ns, t_{rmmax} = 0.4 ns,

t₁ = 0.35 ns, t₂ = 0.15 ns とすると、

$$t_{1typ} = 1.5 \text{ ns}, t_{2typ} = 0.99 \text{ ns}$$

となる。

1段当りのゲート遅延時間として0.24 nsのものを使うとすると、可変用の遅延ゲート5, 6, 7はそれぞれゲート6段直列、固定された遅延ゲート9, 10はそれぞれゲート4段直列とすればよい。また、最大値と最小値との比はt₁では(T - t_{rmmax}) / (T/2) = 1.875, t₂では(T/2 - t_{rmmax}) / T₂ = 8となり、LSI内の遅延時間のばらつきでも実現可能である。

また、D形フリップフロップ11, 12, 13のリセットR, セットSを使用すれば、制御回路のテストが出来る。

なお、設定分解能を上げるために2ビットア

ブダウンバイナリカウンタ17をnビットアップダウンカウンタにし、4-1セレクタ8を 2^n-1 セレクタにすることもできるが、ビット同期がとれるまでに要する時間等が長くなるので、実用的な最適値が存在する。nビットアップダウンカウンタと 2^n-1 セレクタとを組合せ、ビット位相同期をとるために必要な最大クロック数は 2^{n-1} である。

〔発明の効果〕

以上説明したように本発明は、デジタルデータを固定された遅延回路により3相化し、その3相データを1相のクロックによりサンプリングして、その3出力が一致するように可変用の遅延回路を制御することにより、装置のクロックと同じ周波数のクロックを用いてビット位相同期をとることができ、1相クロックでよいので同期式の設計に適し、試験が容易であり、微分回路を使用しないで論理的エッジを検出するので動作動作に強いと云う効果がある。このことは周波数を一致させて動作するデジタルシステムでは、有線、無線

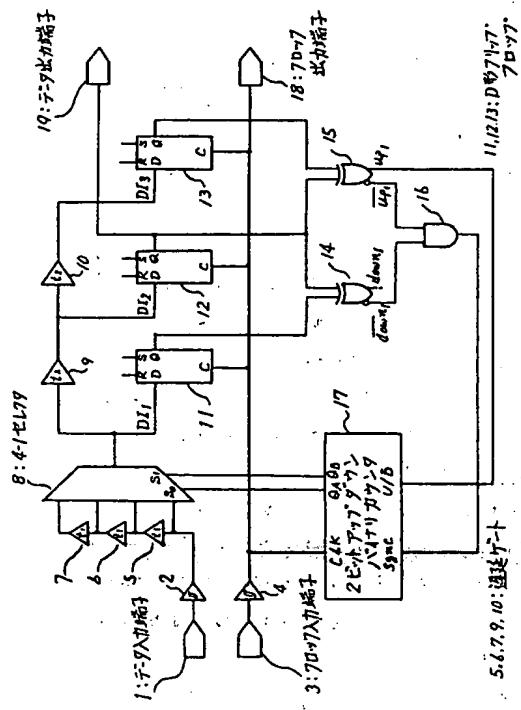
の長距離伝送を除けば、データの授受によるジャタは殆んど ± 0.1 UI (Unit Interval, 1ビット期間)以下であり、本発明では0.5 UI未満の禁止領域まで許容できるので、これらのデジタル装置間のデータのビット位相同期回路に利用することができる効果がある。

また構成要素が何れもモノリシック化が可能な素子であるので、IC化により容易に超小型にすることができる利点がある。

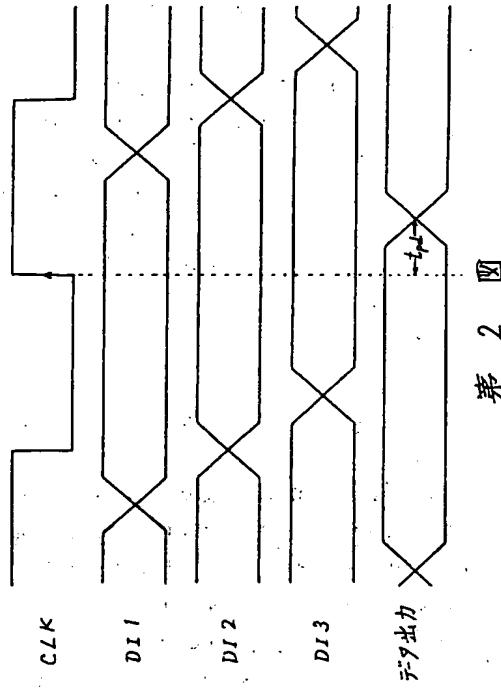
4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は第1図の主要部の波形図である。

1 ……データ入力端子、2, 4 ……シミュットトリガゲート、3 ……クロック入力端子、5, 6, 7, 9, 10 ……遅延ゲート、8 ……4-1セレクタ、11, 12, 13 ……D形フリップフロップ、14, 15 ……イクスクルーシブ回路、16 ……アンド回路、17 ……2ビットアップダウンバイナリカウンタ、18 ……クロック出力端子、19 ……データ出力端子。



第1図



第2図